

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-290049

(43)Date of publication of application : 28.11.1988

(51)Int.Cl.

H04L 27/22

(21)Application number : 62-124602

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.05.1987

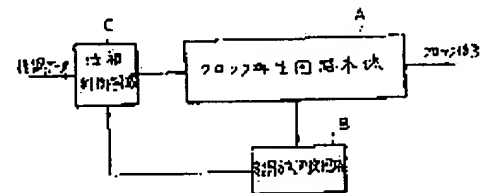
(72)Inventor : ARAI MASANORI

(54) CLOCK REGENERATION CIRCUIT

(57)Abstract:

PURPOSE: To regenerate clock singles not only from demodulated data of a QPSK (Quardrature Phase-Shift Keying) system but also from that of an off set QPSK system with a simple circuit constitution by providing a modulation system decision circuit and a phase control circuit in addition to a clock regeneration circuit mainbody.

CONSTITUTION: At the time of inputting demodulated data, the modulation system decision circuit B decides the demodulation system of demodulated data from the presence or absence of clock components outputted from the clock regeneration circuit mainbody, and the phase control circuit C supplies demodulated data to the clock regeneration circuit mainbody A as it is if the demodulation system of demodulated data has been decided to be the QPSK one in the modulation system decision circuit B. If the modulation system of demodulated data is decided to be the off set QPSK one, the circuit C supplies the I channel or the Q channel of demodulated data to the clock regeneration circuit mainbody A after it phase-shifts them by a 1/2 bit. Thus, the regeneration of the clock signals is attained as to demodulated data of the off set QPSK system in the same way as the case of demodulated data of the QPSK system.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-290049

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月28日

H 04 L 27/22

C-8226-5K

審査請求 有 発明の数 1 (全5頁)

⑮ 発明の名称 クロック再生回路

⑯ 特 願 昭62-124602

⑰ 出 願 昭62(1987)5月21日

⑱ 発 明 者 荒 井 雅 則 東京都日野市旭が丘3丁目1番地の1 株式会社東芝日野工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

クロック再生回路

2. 特許請求の範囲

QPSKおよびオフセットQPSK方式の復調データからクロック信号を再生するクロック再生回路において、前記復調データをIチャネルおよびQチャネル毎にそれぞれ二乗したのち相互に加算してこの加算出力からクロック成分を抽出するクロック再生回路本体と、復調データ入力時に前記クロック再生回路本体から出力されるクロック成分の有無から復調データの変調方式を判定する変調方式判定回路と、この変調方式判定回路により復調データの変調方式がQPSKと判定された場合に前記復調データをそのまま前記クロック再生回路本体に供給させ、かつ復調データの変調方式がオフセットQPSKと判定された場合には前記復調データのIチャネルまたはQチャネルを1/2ビット移相したのち前記クロック再生回路本体に供給させる位相制御回路とを具備したこと

を特徴とするクロック再生回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、例えば衛星通信システムの地球局において復調データからクロック信号を再生するために使用するクロック再生回路の改良に関する。

(従来の技術)

衛星通信システムの地球局に適用される変調方式の一つとして、QPSK (Quadrature Phase-Shift Keying) 方式がある。このQPSK方式を適用した受信装置は、復調して得たベースバンド信号からクロック信号を再生するようにしているが、このクロック信号の再生を従来では例えば次のように行なっている。第3図はその再生回路の構成を示すものである。この回路は、2つの二乗回路1a、1bを有しており、復調データDSを先ずこれらの二乗回路1a、1bに導入してIチャネルおよびQチャネル毎にそれぞれ二乗し、その出力を加算器

2で相互に加算してポーレートに等しい周波数成分を得る。そして、この加算出力を中間周波増幅器3で増幅したのち狭帯域の帯域通過フィルタ4に導入して上記加算出力からクロック周波数成分を抽出し、この抽出したクロック周波数成分を中間周波増幅器5で増幅したのちリミッタまたはコンパレータ6でデジタル信号に変換し、これによりデータに同期したクロック信号CKを生成する。したがって、このような回路を使用すれば比較的簡単な構成でクロック信号CKを再生することができる。

一方、最近衛星通信システムとして上記QPSK方式に加えてオフセットQPSK方式を併用したシステムが考えられている。ところが、オフセットQPSK方式はベースバンド信号のIチャンネルとQチャンネルとの間に1/2ビットの位相差を有しているため、前記従来のクロック再生回路ではIチャンネルおよびQチャンネルのベースバンド信号を二乗加算したときにクロック周波数成分が打消されてしまい、この結果クロック信号の

再生を行なうことができなかった。このため、従来ではQPSK方式およびオフセットQPSK方式毎にクロック再生回路を設け、これらの回路により上記QPSK方式およびオフセットQPSK方式の各復調データからそれぞれクロック信号を再生できるようにしている。しかし、このようにすると回路構成が複雑かつ大形化する問題があった。

(発明が解決しようとする問題点)

以上のように従来のクロック再生回路は、QPSK方式とオフセットQPSK方式とを併用したシステムでは使用することができず、このためQPSKおよびオフセットQPSKの各方式毎に専用のクロック再生回路を設けなければならぬために回路構成が複雑で大形化するという問題点を有するもので、本発明はこの点に着目し、簡単な回路構成でQPSK方式はもとよりオフセットQPSK方式の復調データからもクロック信号を再生し得るクロック再生回路を提供しようとするものである。

[発明の構成]

(問題点を解決するための手段)

本発明は、第1図に示す如く復調データをIチャンネルおよびQチャンネル毎にそれぞれ二乗したのち相互に加算してこの加算出力からクロック成分を抽出するクロック再生回路本体Aに加えて、変調方式判定回路Bと、位相制御回路Cとを備え、復調データ入力時に、上記変調方式判定回路Bにより上記クロック再生回路本体から出力されるクロック成分の有無から復調データの変調方式を判定し、かつ上記位相制御回路Cにより、上記変調方式判定回路で復調データの変調方式がQPSKと判定された場合に上記復調データをそのまま上記クロック再生回路本体Aに供給させ、かつ復調データの変調方式がオフセットQPSKと判定された場合には上記復調データのIチャンネルまたはQチャンネルを1/2ビット移相したのち上記クロック再生回路本体Aに供給させるようにしたものである。

(作用)

この結果、オフセットQPSK方式の復調データが入力された場合には、変調方式判定回路Bによりその方式が判定され、この判定結果に基づいて位相制御回路Cにより位相のオフセットが除去されたのちクロック再生回路本体Aに供給されてクロック信号の再生が行なわれることになるので、QPSK用のクロック再生回路本体Aに加えて変調方式判定回路Bと位相制御回路Cとを設けただけの簡単な構成で、オフセットQPSK方式の復調データについてもQPSK方式の復調データの場合と同様にクロック信号の再生が可能になる。

(実施例)

第2図は、本発明の一実施例におけるクロック再生回路の構成を示すものである。尚、同図において前記第4図と同一部分には同一符号を付して詳しい説明は省略する。

この回路は、QPSKの復調データDSからクロック信号CKを再生するクロック再生回路本体10と、このクロック再生回路本体10への復調

データDSの供給路(Qチャンネル側)に介挿された遅延回路20と、復調データDSの入力監視を行なうデータ入力監視回路30と、変調方式判定回路40と、切換信号発生用のラッチ回路50とから構成される。このうち先ず遅延回路20は、復調データDSのQチャンネルの位相を $1/2$ ビット遅延する遅延素子21と、復調データDSを位相を変えずにそのまま通過させる通過線路22と、これらの遅延素子21および通過線路22を択一的に復調データDSの供給路に挿入する一対の切換スイッチ23a, 23bとからなる。データ入力監視回路30は、検波器31とコンパレータ32と遅延素子33とからなり、クロック再生回路本体10の加算器2からの加算出力の有無を検出してその検出信号をラッチ信号として上記ラッチ回路50に供給する。尚、遅延素子33はクロック再生回路本体10における中間周波増幅器3, 5の絶対遅延時間および帯域通過フィルタ4の立上がり時間を吸収するものである。変調方式判定回路40は、検波器41とコンパレータ42とか

ら構成され、クロック再生回路本体10の中間周波増幅器5からクロック周波数成分が出力されるか否かを検出してその検出信号を切換制御信号として上記ラッチ回路50に供給する。ラッチ回路50は、上記データ入力監視回路30の遅延素子33から検出信号が出力された時点で上記変調方式判定回路40から出力されている検出信号をラッチし、このラッチした検出信号を切換制御信号として切換スイッチ23a, 23bに供給する。また、このラッチ回路50のラッチ状態はデータ入力監視回路30のコンパレータ32から検出信号が出力される毎にクリアされる。

このような構成であるから、待機状態においてクロック再生回路本体10に復調データDSが入力されると、加算器2の出力がデータ入力監視回路30に導かれて先ずコンパレータ32から検出信号が出力され、これによりラッチ回路50のラッチ出力はクリアされる。したがって、切換スイッチ23a, 23bは通過線路22側に切換わり、これにより復調データDSの供給路には通過線路

22が挿入される。

さて、いま仮に上記復調データDSがQPSK方式により変調されて伝送されたものであるとすると、IチャンネルおよびQチャンネルの位相は同位相なので、中間周波増幅器5からはクロック周波数成分の信号が出力される。このため、変調方式判定回路40のコンパレータ42からはQPSKの復調データが到来したことを表わす検出信号("L"レベル)が出力され、この検出信号はラッチ回路50でラッチされたのち切換制御信号として切換スイッチ23a, 23bに供給される。したがって、切換スイッチ23a, 23bは切換わらずにそのまま通過線路22側を選択する。このため、QPSKの復調データはそのままクロック再生回路本体10に導入され、これによりコンパレータ6からは再生されたクロック信号CKが出力される。

一方、復調データDSがオフセットQPSK方式により変調されて伝送されたものであったとすると、オフセットQPSK方式の復調データはQ

チャンネルの位相がIチャンネルに比べて $1/2$ ビット遅れているため、クロック再生回路本体10の中間周波増幅器5からは微小レベルの信号しか出力されない。このため、変調方式判定回路40のコンパレータ42からはオフセットQPSK方式の復調データが到来したことを表わす検出信号("H"レベル)が出力され、この検出信号はラッチ回路50でラッチされたのち切換制御信号として切換スイッチ23a, 23bに供給される。この結果、切換スイッチ23a, 23bは通過線路22側から遅延素子23側に切換わり、これにより復調データDSの供給路には遅延素子21が挿入される。したがって、オフセットQPSKの復調データDSは、以後Qチャンネルの位相が上記遅延素子21により $1/2$ ビット遅延され、これにより位相のオフセットが除去されたのちクロック再生回路本体10に入力されることになる。すなわち、オフセットQPSK方式の復調データはQPSK方式の復調データと等価なデータとしてクロック再生回路本体10に入力される。このた

め、クロック再生回路本体10の帯域通過フィルタ4からはクロック周波数成分の信号が出力され、これによりコンパレータ6からは再生されたクロック信号CKが出力される。

このように本実施例であれば、オフセットQPSK方式の復調データは遅延素子21により位相のオフセットが除去されてQPSK方式の復調データとしてクロック再生回路本体10に入力されることになるので、QPSK方式の復調データと全く同様にクロック信号CKの再生を行なうことができる。また、クロック再生回路本体10に加えて遅延回路20と、この遅延回路20の切換スイッチ23a、23bを切換えるためのデータ入力監視回路30、変調方式判定回路40およびラッチ回路50とを設けるだけで実現することができ、これによりQPSK方式およびオフセットQPSK方式毎にそれぞれ専用のクロック再生回路を用意する場合に比べて回路構成を大幅に簡単かつ小形にすることができる。

尚、本発明は上記実施例に限定されるものでは

ない。例えば、上記実施例では遅延素子21をQチャンネル側に挿入したがIチャンネル側に挿入するようにしてもよい。また遅延回路として可変遅延線等を用い、この可変遅延線の遅延量をQPSKのときは0にし、オフセットQPSK方式の場合には1/2ビットに相当する遅延量に可変設定するようにしてもよい。その他、変調方式判定回路および位相制御回路の構成やクロック再生回路本体の構成等についても、本発明の要旨を逸脱しない範囲で種々変形して実施できる。

〔発明の効果〕

以上詳述したように本発明によれば、復調データをIチャンネルおよびQチャンネル毎にそれぞれ二乗したのち相互に加算してこの加算出力からクロック成分を抽出するクロック再生回路本体に加えて、変調方式判定回路と、位相制御回路とを備え、復調データ入力時に、上記変調方式判定回路により上記クロック再生回路本体から出力されるクロック成分の有無から復調データの変調方式を判定し、かつ上記位相制御回路により、上記変調

方式判定回路で復調データの変調方式がQPSKと判定された場合に上記復調データをそのまま上記クロック再生回路本体に供給させ、かつ復調データの変調方式がオフセットQPSKと判定された場合には上記復調データのIチャンネルまたはQチャンネルを1/2ビット移相したのち上記クロック再生回路本体に供給させるようにしたことによって、簡単な回路構成でQPSK方式はもとよりオフセットQPSK方式の復調データからもクロック信号を再生することができるクロック再生回路を提供することができる。

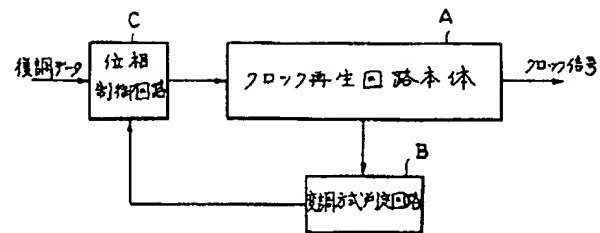
4. 図面の簡単な説明

第1図は本発明のクロック再生回路の構成を示す機能ブロック図、第2図は本発明の一実施例におけるクロック再生回路の構成を示す回路ブロック図、第3図は従来のクロック再生回路の構成を示す回路ブロック図である。

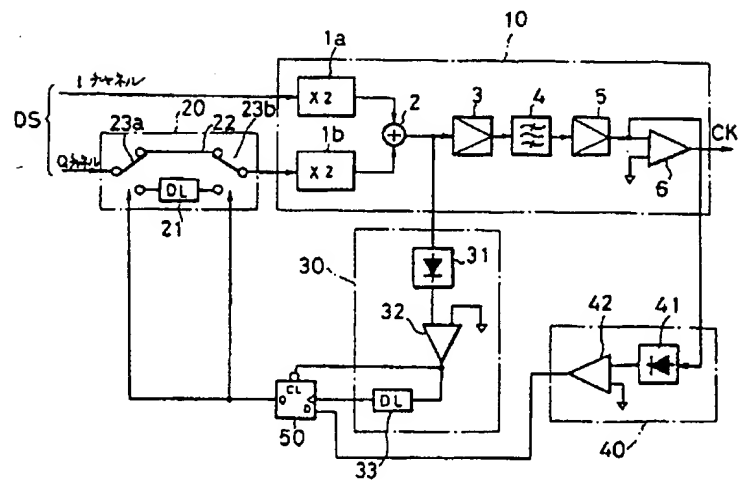
A…クロック再生回路本体、B…変調方式判定回路、C…位相制御回路、1a、1b…二乗回路、2…加算器、3、5…中間周波増幅器、4…

帯域通過フィルタ、6…コンパレータ、10…クロック再生回路本体、20…遅延回路、21、33…遅延素子、22…通過線路、23a、23b…切換スイッチ、30…データ入力監視回路、40…変調方式判定回路、31、41…検波器、32、42…コンパレータ、DS…復調データ、CK…再生されたクロック信号。

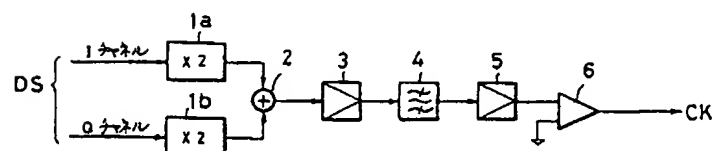
出願人代理人 弁理士 鈴江武彦



第 1 図



第 2 図



第 3 図